

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10198447 A**

(43) Date of publication of application: **31.07.98**

(51) Int. Cl.

G05F 3/24

(21) Application number: **09002114**

(22) Date of filing: **09.01.97**

(71) Applicant: **NEC IC MICROCOMPUT SYST LTD**

(72) Inventor: **HAYASHIMOTO HAJIME**

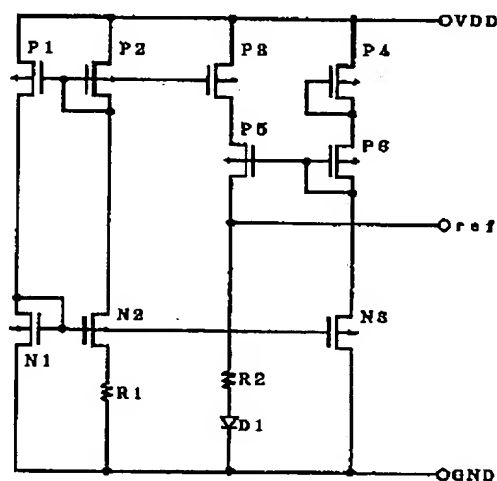
(54) BAND GAP REFERENCE CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a high-accuracy band gap reference circuit with which an output voltage is fixed even in the case of fluctuation in a power supply potential by composing the circuit of MOS type transistors.

SOLUTION: The respective gate lengths and gate width of respective PMOS transistors P1-P6 are set to be equal, for example, the gate length of NMOS transistor N2 is sized equal with that of N1 and the gate width is set to be M-fold as well. Further, since the gate lengths and gate width of NMOS transistors N1 and N3 are set equal respectively, a reference voltage Vref reducing power supply potential VDD dependency can be generated. Namely, even when a power supply potential VDD is further increased in comparison with a ground potential GND, the drain/source voltage of PMOS transistor P3 becomes equal to the gate/source voltage of PMOS transistor P2.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-198447

(43) 公開日 平成10年(1998) 7月31日

(51) Int.Cl.⁶

G 0 5 F 3/24

識別記号

F I

G 0 5 F 3/24

Z

審査請求 有 請求項の数 8 O L (全 9 頁)

(21) 出願番号

特願平9-2114

(22) 出願日

平成9年(1997) 1月9日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式
社

神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 林本 肇

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

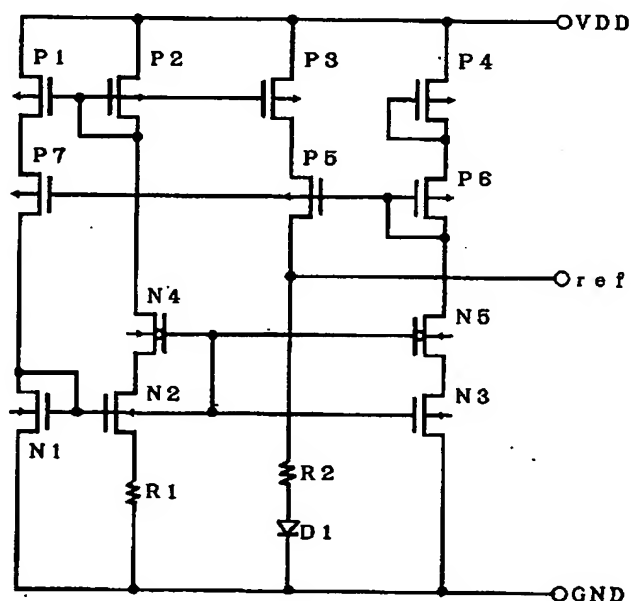
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 バンド・ギャップ・レファレンス回路

(57) 【要約】

【課題】 CMOS型の半導体回路に搭載されるバンド・ギャップ・レファレンス回路において、電源電圧依存性のない基準電圧を提供する。

【解決手段】 電源電圧VDD変動を、P型MOSトランジスタP7、N型MOSトランジスタN4、N5で吸収することで、出力端子と接地電位間に直列接続された抵抗素子R2およびD1に流れ込む電流変動を無くし、電源電圧依存のない基準電圧が得られる。



【特許請求の範囲】

【請求項1】 与えられた高位側の第1の電源および低位側の第2の電源から一定の基準電圧を得るバンド・ギャップ・レファレンス回路において、第1導電型の第1、第2、第3および第4の電界効果トランジスタの各々の一端を第1の電源に共通接続するとともに、前記第1導電型の第1の電界効果トランジスタの他端を第2導電型の第1の電界効果トランジスタの一端およびゲート電極に接続し、この第2導電型の第1のトランジスタの他端を第2の電源に接続し、前記第1導電型の第1、第2および第3の電界効果トランジスタの各々のゲート電極と第1導電型の第2の電界効果トランジスタの他端と第2導電型の第2の電界効果トランジスタの一端とをそれぞれ共通接続するとともに、前記第2導電型の第2の電界効果トランジスタのゲート電極を前記第2導電型の第1のトランジスタのゲート電極に接続し、前記第2導電型の第2の電界効果トランジスタの他端および第2の電源間に第1の抵抗素子を接続し、前記第1導電型の第3の電界効果トランジスタの他端を第1導電型の第5の電界効果トランジスタの一端に接続し、前記第1導電型の第4の電界効果トランジスタの他端を第1導電型の第6の電界効果トランジスタの一端に接続し、このトランジスタのゲート電極およびドレイン電極と前記第1導電型の第5のトランジスタのゲート電極と第2導電型の第3の電界効果トランジスタの一端とをそれぞれ共通接続するとともに、この第2導電型の第3の電界効果トランジスタの他端を第2の電源に接続し、前記第1導電型の第5の電界効果トランジスタの他端および第2の電源間に第2の抵抗素子とこの抵抗素子側をアノード電極側とするダイオード素子とを直列接続し、前記第1導電型の第5のトランジスタの他端を基準電圧出力端とすることを特徴とするバンド・ギャップ・レファレンス回路。

【請求項2】 予め定められた第1の電源の電位がさらに高い電位へ変動したときでも前記第1導電型の第2および第3の電界効果トランジスタのそれぞれのゲート・ソース間電圧が等しくなるように、前記第1導電型の第1、第2、第3、第4、第5および第6の電界効果トランジスタの各々のゲート長およびゲート幅が等しく、かつ前記第2導電型の第1のトランジスタに対し前記第2導電型の第2のトランジスタのゲート長が等しく、ゲート幅がM（Mは0以外の自然数）倍に、前記第2導電型の第1のトランジスタに対し前記第2導電型の第3のトランジスタのゲート長およびゲート幅が等しい値に、それぞれ設定される請求項1記載のバンド・ギャップ・レファレンス回路。

【請求項3】 前記第1導電型の第1の電界効果トランジスタの他端および前記第2導電型の第1の電界効果トランジスタの一端との直接接続に代えて第1導電型の第7の電界効果トランジスタを直列接続状態で挿入し、この第1導電型の第7の電界効果トランジスタのゲート電

極を前記第2導電型の第5の電界効果トランジスタのゲート電極に接続してなる請求項1記載のバンド・ギャップ・レファレンス回路。

【請求項4】 予め定められた電源電位がさらに高い電位へ変動したときでも前記第1導電型の第1および前記第2の電界効果トランジスタのそれぞれのゲート・ソース間電圧が等しくなるように、前記第1導電型の第1、第2、第3、第4、第5、第6および第7の電界効果トランジスタの各ゲート長およびゲート幅が等しく、かつ前記第2導電型の第1のトランジスタに対し前記第2導電型の第2のトランジスタのゲート長が等しく、ゲート幅がM倍に、前記第2導電型の第1のトランジスタに対し前記第2導電型の第3のトランジスタのゲート長およびゲート幅が等しい値に、それぞれ設定される請求項3記載のバンド・ギャップ・レファレンス回路。

【請求項5】 前記第1導電型の第2の電界効果トランジスタの他端および前記第2導電型の第2の電界効果トランジスタの一端との直接接続に代えてデブリーション型の第2導電型の第4の電界効果トランジスタを直列接続状態で挿入し、この第2導電型の第4の電界効果トランジスタのゲート電極を前記第2導電型の第2の電界効果トランジスタのゲート電極に接続してなる請求項3記載のバンド・ギャップ・レファレンス回路。

【請求項6】 予め定められた電源電位がさらに高い電位へ変動したときでもこの変動分の電位差を前記第2導電型の第4の電界効果トランジスタのドレイン・ソース間で吸収するように、前記第1導電型の第1、第2、第3、第4、第5、第6および第7の電界効果トランジスタの各ゲート長およびゲート幅が等しく、かつ前記第2導電型の第1のトランジスタに対し前記第2導電型の第2のトランジスタのゲート長が等しく、ゲート幅がM倍に、前記第2導電型の第1のトランジスタに対し前記第2導電型の第3のトランジスタのゲート長およびゲート幅が等しい値に、デブリーション型の前記第2導電型の第4のトランジスタのゲート長を予め定める所定値よりも長く、それぞれ設定される請求項5記載のバンド・ギャップ・レファレンス回路。

【請求項7】 前記第1導電型の第6の電界効果トランジスタの他端および前記第2導電型の第3の電界効果トランジスタの一端との直接接続に代えてデブリーション型の第2導電型の第5の電界効果トランジスタを直列接続状態で挿入し、この第2導電型の第5の電界効果トランジスタのゲート電極をデブリーション型の前記第2導電型の第4の電界効果トランジスタのゲート電極に接続してなる請求項5記載のバンド・ギャップ・レファレンス回路。

【請求項8】 予め定められた電源電位がさらに高い電位へ変動したときでもこの変動分の電位差をデブリーション型の前記第2導電型の第5の電界効果トランジスタのドレイン・ソース間で吸収するように、前記第1導電

型の第1、第2、第3、第4、第5、第6および第7の電界効果トランジスタの各ゲート長およびゲート幅が等しく、かつ前記第2導電型の第1のトランジスタに対し前記第2導電型の第2のトランジスタのゲート長が等しく、ゲート幅がM倍に、前記第2導電型の第1のトランジスタに対し前記第2導電型の第3のトランジスタのゲート長およびゲート幅が等しい値に、前記第2導電型の第4およびデブリーション型の第2導電型の前記第5のトランジスタのゲート長を予め定める所定値よりも長く、それぞれ設定される請求項7記載のバンド・ギャップ・レファレンス回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バンド・ギャップ・レファレンス回路に係わり、特にCMOS（Complementary Metal-Oxide Semiconductor）型の半導体装置に搭載される電源依存の無いバンド・ギャップ・レファレンス回路に関する。

【0002】

【従来の技術】従来のこの種のバンド・ギャップ・レファレンス回路の一例を示した図5を参照すると、高電位側電源電位（以下、電源電位と称す）VDDおよび低電位側電源電位（以下、接地電位と称す）GND間にPチャンネル型MOSトランジスタ（以下、P型MOSトランジスタと称す）P1およびN型MOSトランジスタ（以

$$V_{ref} = N \cdot (k \cdot T / q) \cdot \ln M + V_F(D1) \dots\dots\dots (1)$$

ここで、N；（R2の抵抗値）／（R1の抵抗値）
q；電子の電荷量、k；ボルツマン定数、T；絶対温度
VF（D1）；D1の順方向電圧とする。

【0005】一方、従来のバンド・ギャップ・レファレンス回路の他の例が特開昭58-76918に記載されている。同公報記載のバンド・ギャップ・レファレンス回路の回路図を示した図6を参照すると、この回路はカレントミラー回路部3とその出力回路部4とこの出力回路から出力されるVref電圧の出力端子5とからなる。カレントミラー回路部3は、電源電位VCCおよび接地電位GND間にPNPトランジスタQ1およびNPNTランジスタQ5が直列接続された第1の直列接続回路と、電源電位VCCおよび接地電位GND間にPNPトランジスタQ2およびNPNTランジスタQ6が直列接続された第2の直列接続回路と、電源電位VCCにエミッタ電極が接続され、ベース電極がPNPトランジスタQ1、Q2のベース電極に共通接続されるとともにコレクタ電極が出力端子5に接続されるPNPトランジスタQ3と、エミッタ電極がPNPトランジスタQ1、Q2、Q3のそれぞれのベース電極に共通接続されるとともにコレクタ電極が接地電位GNDに、ベース電極がPNPトランジスタQ2のベース電極にそれぞれ接続され

下、N型MOSトランジスタと称す）N1が直列接続された第1の直列接続回路と、電源電位VDDおよび接地電位GND間にP型MOSトランジスタP2とN型MOSトランジスタN2と抵抗素子R1とが直列接続された第2の直列接続回路と、電源電位VDDおよび接地電位GND間にP型MOSトランジスタP3と抵抗素子R2とこの抵抗素子側をアノードとするダイオードとが直列接続された第3の直列接続回路とを有し、P型MOSトランジスタP1のゲート電極とP型MOSトランジスタP2のゲート電極およびドレイン電極とP型MOSトランジスタP3のゲート電極とが共通接続され、さらにN型MOSトランジスタN1のゲート電極およびドレインとN型MOSトランジスタN2のゲートとが共通接続されるとともに、P型MOSトランジスタP3のドレイン電極をref電圧の出力端子に接続して構成される。この出力端子および接地電位GND間の電位を、基準電圧Vref（以下、基準電圧Vrefと称す）とする。

【0003】上述した構成によるバンド・ギャップ・レファレンス回路において、P型MOSトランジスタP1、P2およびP3のゲート長およびゲート幅をそれぞれ同一サイズにし、かつN型MOSトランジスタN1に対しN2のゲート長を同一サイズとし、ゲート幅をM（Mは0以外の自然数とする）倍と設定すれば、理想的には基準電圧Vrefは次式で表せる。

【0004】

るPNPトランジスタQ4とを有し、NPNTランジスタQ5およびQ6のエミッタ電極とが共通接続され、NPNTランジスタQ6のベース電極がPNPトランジスタQ1のコレクタ電極に接続されて構成される。

【0006】出力回路部4はカレントミラー回路部3のPNPトランジスタQ3のコレクタ電極および接地電位GND間に抵抗素子R3とNPNTランジスタQ7と抵抗素子R2とが直列接続され、NPNTランジスタQ7のベース電極はNPNTランジスタQ6のエミッタ電極に接続され、NPNTランジスタQ7のコレクタ電極にはさらにNPNTランジスタQ8のベース電極が接続されるとともにこのNPNTランジスタQ8のコレクタ電極は出力端子5に、エミッタ電極は接地電位GNDに接続されて構成され、出力回路部4の抵抗素子R3の端子間電圧とNPNTランジスタQ8のベース・エミッタ間電圧の和を出力電圧Vrefとして取り出している。

【0007】上述した構成によるバンド・ギャップ・レファレンス回路において、PNPトランジスタQ1、Q2およびQ3のエミッタ面積を同一サイズとし、NPNTランジスタQ5のエミッタ面積をNPNTランジスタQ7のエミッタ面積のM倍と設定すれば、基準電圧Vrefは次式で表せる。

【0008】

$$V_{ref} = N \times (k \times T / q) \times \ln M + V_F(D1) \dots\dots\dots (1)$$

ここで、N；(R3の抵抗値)／(R2の抵抗値)
q；電子の電荷量、k；ボルツマン定数、T；絶対温度
VF(Q8)；Q8の順方向電圧
とする。

【0009】

【発明が解決しようとする課題】上述した図5に示した従来のバンド・ギャップ・レファレンス回路の一例においては、電源電位VDDが変動すると、基準電圧Vrefも変化してしまうという問題がある。

【0010】その理由は、例えば電源電位VDDが接地電位GNDに対して大きくなると、P型MOSトランジスタP1のドレイン・ソース電極間電圧が大きくなり、そのためにアーリー効果を受け、N型MOSトランジスタ

$$\Delta i_d = \Delta i_d(1) + \Delta i_d(2) \dots\dots\dots (3)$$

となる。

【0013】この電流Δidが抵抗素子R2およびダイオードD1に流れ込むことにより基準電圧Vrefに変

$$V_{ref} = \Delta i_d \times R2 + (k \times T / q) \times \ln [(\Delta i_d + I_{DS}(P3)) / I_{DS}(P3)] \dots\dots\dots (4)$$

ここで、IDS(P3)；P3の電源電位依存受ける前のドレイン電流とする。

【0015】上述した図6に示す従来のバンド・ギャップ・レファレンス回路の他の例の場合の例は、トランジスタQ1およびQ2がともにカレントミラー回路3を構成することから、PNPトランジスタQ1のコレクタ電極にもトランジスタQ2と同量のコレクタ電流が流れるが、PNPトランジスタQ2のコレクタ電流は、トランジスタQ6に流れ込むコレクタ電流に等しい。

【0016】次に、電源電位VCCが上昇してPNPトランジスタQ2のコレクタ電流が増加したとすると、抵抗素子R1を流れる電流が増加し、NPNトランジスタQ5のエミッタ・ベース間電圧VBEが大きくなるため、NPNトランジスタQ5のコレクタ電流が増加する。これにより、NPNトランジスタQ6のベース電位が引き下げられることになり、NPNトランジスタQ6のコレクタ電流が減少するように動作する。

【0017】よって、PNPトランジスタQ1、Q2によるカレントミラー回路3は、電源電位VCCが変化してもほぼ一定の電流を流し出し、これがPNPトランジスタQ3にミラーされるため、PNPトランジスタQ3のコレクタ電流もほぼ一定となり、従って、NPNトランジスタQ8のコレクタ電流および抵抗素子R3に流れ込む電流も一定となる。

【0018】よって、前述した(2)式の第2項、NPNトランジスタQ8の順方向電圧(以下、VF(Q8)と称す)は電源電位VCCが変化してもほぼ一定となり、さらに、(2)式の第1項も定数NおよびMで決まることから、電源電位VCCが変化しても一定であり、

N1に流れ込むドレイン電流が増加する。

【0011】その結果、N型MOSトランジスタN1とともにミラーを構成しているN型MOSトランジスタN2のドレイン電流がそれ自身のアーリー効果による電流と合わせて増加し、P型MOSトランジスタP2のドレイン電流も増加する。

【0012】従って、P型MOSトランジスタP2とともにミラーを構成しているP型MOSトランジスタP3のドレイン電流も増加する。この電流増加分をΔid(1)とする。さらにP型MOSトランジスタP3自身のアーリー効果でもドレイン電流が増加する。この電流増加分をΔid(2)とするとΔidは、

動が生じる。この変動分をΔVrefとすると次式で表せる。

【0014】

このバンド・ギャップ・レファレンス回路は、電源電位VCCが変化しても一定となる。

【0019】しかし、上述した従来回路の他の場合の例の回路構成では、ベース電流を駆動するバイポーラトランジスタでは有効であるが、ゲート電圧を駆動するMOSトランジスタには実現不可能である。

【0020】本発明の目的は、上述した従来の欠点に鑑みなされたものであり、MOSトランジスタで構成され、さらに電源電位が変動しても出力基準電圧が一定な高精度のバンド・ギャップ・レファレンス回路を提供することにある。

【0021】

【課題を解決するための手段】本発明のバンド・ギャップ・レファレンス回路の特徴は、与えられた高位側の第1の電源および低位側の第2の電源から一定の基準電圧を得るバンド・ギャップ・レファレンス回路において、第1導電型の第1、第2、第3および第4の電界効果トランジスタの各々の一端を第1の電源に共通接続するとともに、前記第1導電型の第1の電界効果トランジスタの他端を第2導電型の第1の電界効果トランジスタの一端およびゲート電極に接続し、この第2導電型の第1のトランジスタの他端を第2の電源に接続し、前記第1導電型の第1、第2および第3の電界効果トランジスタの各々のゲート電極と第1導電型の第2の電界効果トランジスタの他端と第2導電型の第2の電界効果トランジスタの一端とをそれぞれ共通接続するとともに、前記第2導電型の第2の電界効果トランジスタのゲート電極を前記第2導電型の第1のトランジスタのゲート電極に接続し、前記第2導電型の第2の電界効果トランジスタの他

端および第2の電源間に第1の抵抗素子を接続し、前記第1導電型の第3の電界効果トランジスタの他端を第1導電型の第5の電界効果トランジスタの一端に接続し、前記第1導電型の第4の電界効果トランジスタの他端を第1導電型の第6の電界効果トランジスタの一端に接続し、このトランジスタのゲート電極およびドレイン電極と前記第1導電型の第5のトランジスタのゲート電極と第2導電型の第3の電界効果トランジスタの一端とをそれぞれ共通接続するとともに、この第2導電型の第3の電界効果トランジスタの他端を第2の電源に接続し、前記第1導電型の第5の電界効果トランジスタの他端および第2の電源間に第2の抵抗素子とこの抵抗素子側をアノード電極側とするダイオード素子とを直列接続し、前記第1導電型の第5のトランジスタの他端を基準電圧出力端とすることにある。

【0022】また、予め定められた第1の電源の電位がさらに高い電位へ変動したときでも前記第1導電型の第2および第3の電界効果トランジスタのそれぞれのゲート・ソース間電圧が等しくなるように、前記第1導電型の第1、第2、第3、第4、第5および第6の電界効果トランジスタの各々のゲート長およびゲート幅が等しく、かつ前記第2導電型の第1のトランジスタに対し前記第2導電型の第2のトランジスタのゲート長が等しく、ゲート幅がM倍に、前記第2導電型の第1のトランジスタに対し前記第2導電型の第3のトランジスタのゲート長およびゲート幅が等しい値に、それぞれ設定される。

【0023】さらに、前記第1導電型の第1の電界効果トランジスタの他端および前記第2導電型の第1の電界効果トランジスタの一端との直接接続に代えて第1導電型の第7の電界効果トランジスタを直列接続状態で挿入し、この第1導電型の第7の電界効果トランジスタのゲート電極を前記第2導電型の第5の電界効果トランジスタのゲート電極に接続してもよい。

【0024】さらにまた、予め定められた電源電位がさらに高い電位へ変動したときでも前記第1導電型の第1および前記第2の電界効果トランジスタのそれぞれのゲート・ソース間電圧が等しくなるように、前記第1導電型の第1、第2、第3、第4、第5、第6および第7の電界効果トランジスタの各ゲート長およびゲート幅が等しく、かつ前記第2導電型の第1のトランジスタに対し前記第2導電型の第2のトランジスタのゲート長が等しく、ゲート幅がM倍に、前記第2導電型の第1のトランジスタに対し前記第2導電型の第3のトランジスタのゲート長およびゲート幅が等しい値に、それぞれ設定される。

【0025】また、前記第1導電型の第2の電界効果トランジスタの他端および前記第2導電型の第2の電界効果トランジスタの一端との直接接続に代えてデプリーション型の第2導電型の第4の電界効果トランジスタを直

列接続状態で挿入し、この第2導電型の第4の電界効果トランジスタのゲート電極を前記第2導電型の第2の電界効果トランジスタのゲート電極に接続してもよい。

【0026】さらに、予め定められた電源電位がさらに高い電位へ変動したときでもこの変動分の電位差を前記第2導電型の第4の電界効果トランジスタのドレイン・ソース間で吸収するように、前記第1導電型の第1、第2、第3、第4、第5、第6および第7の電界効果トランジスタの各ゲート長およびゲート幅が等しく、かつ前記第2導電型の第1のトランジスタに対し前記第2導電型の第2のトランジスタのゲート長が等しく、ゲート幅がM倍に、前記第2導電型の第1のトランジスタに対し前記第2導電型の第3のトランジスタのゲート長およびゲート幅が等しい値に、デプリーション型の前記第2導電型の第4のトランジスタのゲート長を予め定める所定値よりも長く、それぞれ設定される。

【0027】さらにまた、前記第1導電型の第6の電界効果トランジスタの他端および前記第2導電型の第3の電界効果トランジスタの一端との直接接続に代えてデプリーション型の第2導電型の第5の電界効果トランジスタを直列接続状態で挿入し、この第2導電型の第5の電界効果トランジスタのゲート電極をデプリーション型の前記第2導電型の第4の電界効果トランジスタのゲート電極に接続してもよい。

【0028】また、予め定められた電源電位がさらに高い電位へ変動したときでもこの変動分の電位差をデプリーション型の前記第2導電型の第5の電界効果トランジスタのドレイン・ソース間で吸収するように、前記第1導電型の第1、第2、第3、第4、第5、第6および第7の電界効果トランジスタの各ゲート長およびゲート幅が等しく、かつ前記第2導電型の第1のトランジスタに対し前記第2導電型の第2のトランジスタのゲート長が等しく、ゲート幅がM倍に、前記第2導電型の第1のトランジスタに対し前記第2導電型の第3のトランジスタのゲート長およびゲート幅が等しい値に、前記第2導電型の第4およびデプリーション型の第2導電型の前記第5のトランジスタのゲート長を予め定める所定値よりも長く、それぞれ設定される。

【0029】

【発明の実施の形態】本発明の実施の形態を図面を参照しながら説明する。図1は、本発明の第1の実施の形態を示す回路図である。図1を参照すると、電源電位VDDと接地電位GND間にP型MOSトランジスタP1およびドレイン・ゲート間が接続されたN型MOSトランジスタN1が直列接続された第1の直列接続回路と、電源電位VDDと接地電位GND間にP型MOSトランジスタP2とドレイン・ゲート間が接続されたN型MOSトランジスタN2と抵抗R1とが直列接続された第2の直列接続回路と、電源電位VDDと接地電位GND間にP型MOSトランジスタP3とP型MOSトランジスタ

P5と抵抗R2とこの抵抗R2側をアノードとするダイオードD1とが直列接続された第3の直列接続回路と、電源電位VDDと接地電位GND間にゲート・ドレイン間が接続されたP型MOSトランジスタP4とゲート・ドレイン間が接続されたP型MOSトランジスタP6とN型MOSトランジスタN3とが直列接続された第4の直列接続回路とを有する。これらの直列接続回路は、P型MOSトランジスタP1、P2およびP3の各ゲート電極が共通接続され、かつN型MOSトランジスタN1、N2およびN3のゲート電極が共通接続され、さらにP型MOSトランジスタP5およびP6の各々のゲート電極が共通接続されるとともに、P型MOSトランジスタP5のドレイン電極から基準電圧Vrefを出力端子refに取り出すように構成される。

【0030】上述したバンド・ギャップ・レファレンス回路において、例えば、それぞれのP型MOSトランジ

$$\begin{aligned} VDS(P3) &= VG(P5) - VGS(P5) \\ &= VG(P6) - VGS(P6) \\ &= VGS(P4) = VGS(P2) \dots\dots\dots (5) \end{aligned}$$

ここで、VG(P5)；電源電位VDDに対するP5のゲート電位

VGS(P5)；P5のゲート・ソース間電圧

VG(P6)；電源電位VDDに対するP6のゲート電位

VGS(P6)；P6のゲート・ソース間電圧

$$\Delta id(2) = 0 \dots\dots\dots (6)$$

となり、(4)式で示される基準電圧Vrefの変動分 $\Delta Vref$ は、少なくなる。なお、P4、P5、P6の各々のゲート長およびゲート幅を任意に設定しても同等の効果が得られる。

【0034】図2は本発明の第2の実施の形態を示す回路図である。図2を参照すると、第1の実施の形態との相違点は、図1に示したP型MOSトランジスタP1およびN型MOSトランジスタN1間の直列接続に代えてP型MOSトランジスタP7が直列接続状態で挿入され、このP型MOSトランジスタP7のゲート電極がP型MOSトランジスタP6のゲートに接続されたことである。それ以外の構成要素は同一であり、同一の構成要素には同一の符号を付してここでの説明は省略する。

【0035】この第2の実施の形態のバンド・ギャップ・レファレンス回路において、例えば、P型MOSトラ

$$\begin{aligned} VDS(P1) &= VG(P6) - VGS(P7) \\ &= VG(P6) - VGS(P6) \\ &= VGS(P4) = VGS(P2) \dots\dots\dots (7) \end{aligned}$$

ここで、VG(P6)；電源電位VDDに対するP6のゲート電位

VGS(P7)；P7のゲート・ソース間電圧

VGS(P6)；P6のゲート・ソース間電圧

VGS(P4)；P4のゲート・ソース間電圧とする。

スタP1～P6の各々のゲート長およびゲート幅が等しくなるように設定され、かつN型MOSトランジスタN1に対し、N2のゲート長が同一サイズとなるように設定され、ゲート幅もM倍となるように設定される。さらに、N型MOSトランジスタN1およびN3のゲート長とゲート幅とがそれぞれ等しくなるように設定されているので、電源電位VDD依存性の少ない基準電圧Vrefを発生させることが出来る。

【0031】つまり、電源電位VDDが接地電位GNDに対してさらに大きくなった場合でも、次式に示すように、P型MOSトランジスタP3のドレイン・ソース間電圧（以下、VDS(P3)と称す）とP型MOSトランジスタP2のゲート・ソース間電圧（以下、VGS(P2)と称す）が等しくなるからである。

【0032】

VGS(P4)；P4のゲート・ソース間電圧とする。

【0033】よって、P型MOSトランジスタP3のアーリ効果による電流増加分が無くなり、その結果、

(3)式の右辺第2項は、

ンジスタP1～P7の各々のゲート長およびゲート幅がそれぞれ等しくなるように設定され、N型MOSトランジスタN1に対しN2のゲート長も同一サイズとなるように設定され、かつゲート幅もM倍になるように設定される。さらに、N型MOSトランジスタN1およびN3のゲート長とゲート幅とがそれぞれ等しくなるように設定されているので、電源電位VDD依存性がさらに少ない基準電圧Vrefを発生させることが出来る。

【0036】つまり、電源電位VDDおよび接地電位GND間の電圧がさらに大きくなった場合でも、次式に示すように、P型MOSトランジスタP1のドレイン・ソース間電圧（以下、VDS(P1)と称す）とP型MOSトランジスタP2のゲート・ソース間電位（以下、VGS(P2)と称す）が等しくなるからである。

【0037】

【0038】よって、P型MOSトランジスタP1のアーリ効果による電流増加分が無くなることから、(3)式の右辺第1項は小さくさくなり、(4)式で示される基準電圧Vrefの変動分 $\Delta Vref$ も小さくなる。

【0039】図3は本発明の第3の実施の形態を示す回路図である。図3を参照すると、第2の実施の形態との

相違点は、図2に示したP型MOSトランジスタP2およびN型MOSトランジスタN2間の直列接続に代えてN型MOSトランジスタN4が直列接続状態で挿入され、このN型MOSトランジスタN4がデプリーション型MOSトランジスタで形成されるとともに、ゲート電極がN型MOSトランジスタN1のゲート電極に接続されたことである。それ以外の構成要素は同一であり、同一の構成要素には同一の符号を付して説明は省略する。

【0040】この第3の実施の形態のバンド・ギャップ・レファレンス回路において、例えば、P型MOSトランジスタP1～P7の各々のゲート長およびゲート幅がそれぞれ等しくなるように設定され、かつN型MOSトランジスタN1に対しN2のゲート長が同一サイズに、ゲート幅がM倍になるようにそれぞれ設定される。さらにN型MOSトランジスタN1およびN3のゲート長とゲート幅とがそれぞれ等しくなるように設定され、デプリーション型であるN型MOSトランジスタN4のゲート長がリーク防止のため有る程度長く設定されているので、電源電位VDD依存性のさらに少ない基準電圧Vrefを発生させることが出来る。

【0041】つまり、電源電位VDDおよび接地電位GND間の電圧が高い方に変動しても、N型MOSトランジスタN2のドレイン・ソース間電圧（以下、VDS（N2）と称す）は、N型MOSトランジスタN1のゲート・ソース間電位（以下、VGS（N1）と称す）から、N型MOSトランジスタN4のゲート・ソース間電圧（以下、VGS（N4）と称す）分だけ低くなった電圧で決まり、電源電位VDDが高い方に変動した分は、このN型MOSトランジスタN4のドレイン・ソース間で吸収する。

【0042】よって、N型MOSトランジスタN2のアーリー効果による電流増加分が無くなることから、（3）式の右辺第1項は、さらに小さくなり、（4）式で示す基準電圧Vrefの変動分 ΔV_{ref} も小さくなる。

【0043】図4は本発明の第4の実施の形態を示す回

$$\Delta i_d(1) = 0 \dots\dots\dots (8)$$

となる。この式と（6）式とを合わせて（3）式は、

$$\Delta i_d = \Delta i_d(1) + \Delta i_d(2) \dots\dots\dots (9)$$

となる。従って、

$$\Delta V_{ref} = \Delta i_d \times R_2 + (k \times Y / q) \times \ln [(\Delta i_d + I_{DS}(P_3))] = 0 \dots\dots\dots (10)$$

となり、基準電圧Vrefの変動分 ΔV_{ref} は、無くなる。

【0048】

【発明の効果】以上説明した様に本発明は、第1、第2、第3および第4のP型MOSトランジスタの各々のソース電極を電源電位に共通接続するとともに、第1のP型MOSトランジスタのドレイン電極を第1のN型MOSトランジスタのドレイン電極およびゲート電極に接続し、この第1のN型MOSトランジスタのソース電極

路図である。第3の実施の形態との相違点は、図3に示したP型MOSトランジスタP6およびN型MOSトランジスタN3間の直列接続に代えてN型MOSトランジスタN5が直列接続状態で挿入され、このN型MOSトランジスタN5がデプリーション型MOSトランジスタで形成されるとともに、ゲート電極がN型MOSトランジスタN1のゲート電極に接続されたことである。

【0044】それ以外の構成要素は同一であり、同一の構成要素には同一の符号を付してここでの説明は省略する。

【0045】この第4の実施の形態のバンド・ギャップ・レファレンス回路において、例えば、P型MOSトランジスタP1～P7の各々のゲート長およびゲート幅が等しくなるように設定され、かつN型MOSトランジスタN1に対しN2のゲート長が同一サイズに、ゲート幅がM倍となるように設定される。さらに、N型MOSトランジスタN1およびN3のゲート長とゲート幅とが等しくなるように設定され、かつデプリーション型であるN型MOSトランジスタN4およびN5の各々のゲート長もリーク防止のためある程度長く設定されているので、電源電位VDD依存性の無い基準電圧Vrefを発生させることが出来る。

【0046】つまり、電源電位VDDが接地電位GNDに対して高い方に変動しても、N型MOSトランジスタN3のドレイン・ソース間電圧（以下、VDS（N2）と称す）は、N型MOSトランジスタN1のゲート・ソース間電位（以下、VGS（N1）と称す）から、N型MOSトランジスタN5のゲート・ソース間電圧（以下、VGS（N4）と称す）分低下した電圧で決まり、電源電位VDDが高い方に変動した分は、このN型MOSトランジスタN5のドレイン・ソース間で吸収される。

【0047】つまり、N型MOSトランジスタN3のアーリー効果による電流増加分が無くなることから、（3）式の右辺第1項は、

$$\Delta i_d(1) = 0 \dots\dots\dots (8)$$

となる。この式と（6）式とを合わせて（3）式は、

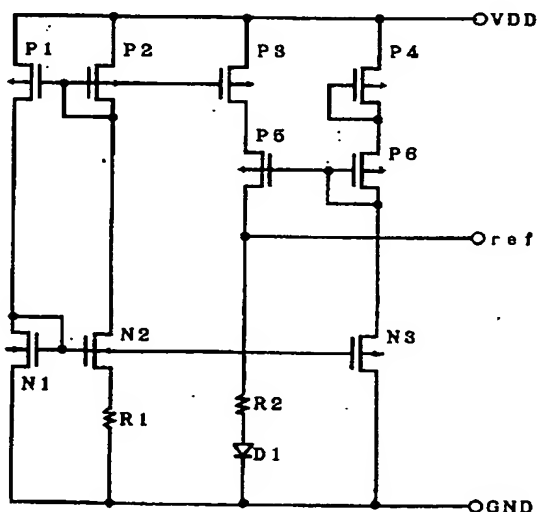
$$\Delta i_d = \Delta i_d(1) + \Delta i_d(2) \dots\dots\dots (9)$$

となる。従って、

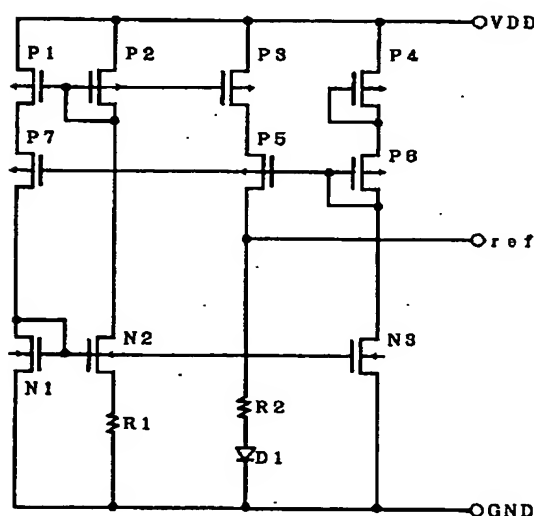
$$\Delta V_{ref} = \Delta i_d \times R_2 + (k \times Y / q) \times \ln [(\Delta i_d + I_{DS}(P_3))] = 0 \dots\dots\dots (10)$$

を電源電位に接続し、第1、第2および第3のP型MOSトランジスタの各々のゲート電極と第2のP型MOSトランジスタのドレイン電極と第2のN型MOSトランジスタのドレイン電極とをそれぞれ共通接続するとともに、第2のN型MOSトランジスタのゲート電極を第1のN型MOSトランジスタのゲート電極に接続し、第2のN型MOSトランジスタのソース電極および接地電位間に第1の抵抗素子を接続し、第3のP型MOSトランジスタのドレイン電極を第5のP型MOSトランジスタ

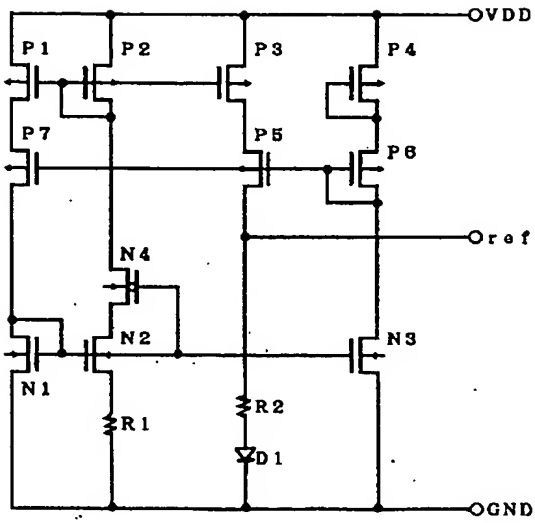
【0049】また、第1のP型MOSトランジスタおよび第1のN型MOSトランジスタの各々のドレイン電極間に第7のP型MOSトランジスタを、第2のP型MOSトランジスタおよび第2のN型MOSトランジスタの



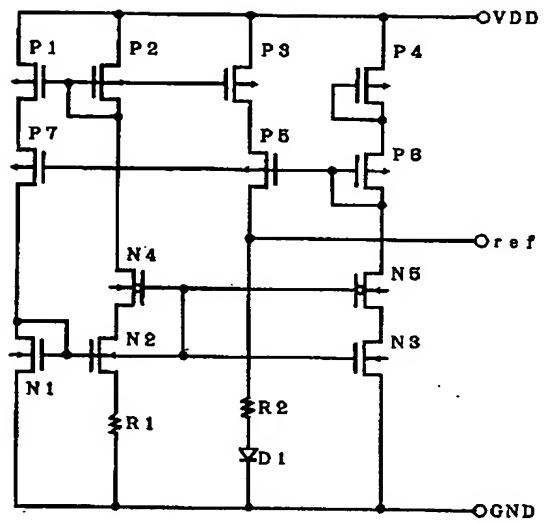
Q5~Q8 NPNトランジスタ



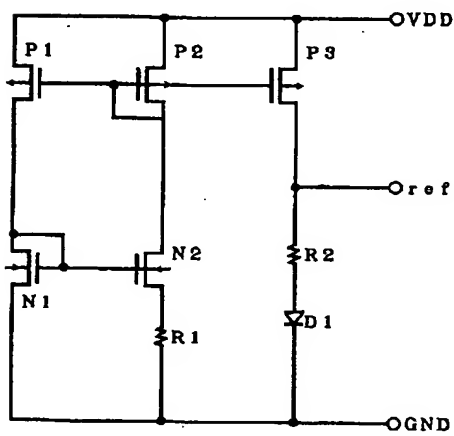
【图3】



【图4】



【图5】



【图6】

